

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-056984

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

G06F 17/50

H01L 21/82

(21)Application number : 05-202431

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 17.08.1993

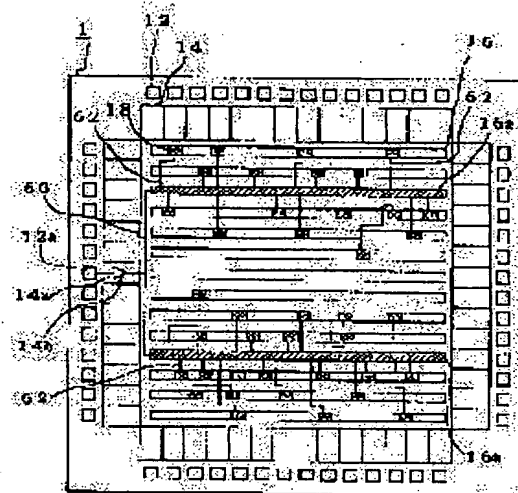
(72)Inventor : NAKAMURA ATSUNOBU

(54) LAYOUT DESIGN METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To improve the efficiency of layout design as reducing the skew of a clock signal in the inside of a semiconductor integrated circuit.

CONSTITUTION: The number of basic cell strings 16a for clock driver used as a clock driver is estimated from the number of a basic cell 18 which inputs the clock signal. The wiring design of a clock line is performed by arranging by inserting the basic cell string 16a for clock driver after the arranging/wiring design of a signal other than the clock signal is performed. Since a large number of basic cells in the basic cell string 16a for clock driver are used, and also, since the basic cell string is arranged by inserting to an appropriate part, the skew of the clock signal can be reduced. Also, since no specific basic cell is used and the arranging/wiring of the clock driver is performed in unit of basic cell string, the efficiency of the layout design can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

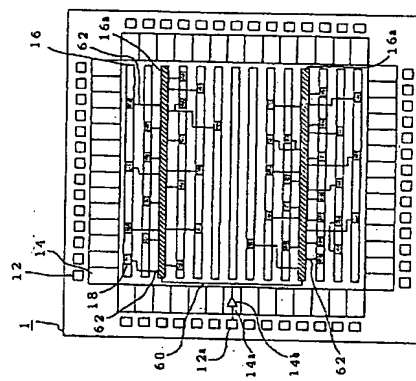
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(5)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 17/50 H 0 1 L 21/82		7623-5L 8122-4M	G 0 6 F 15/ 60 H 0 1 L 21/ 82	3 7 0 K W
審査請求 未請求 請求項の数1 OL (全 7 頁)				
(21)出願番号	特願平5-202431	(71)出願人	000001258 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号	
(22)出願日	平成5年(1993)8月17日	(72)発明者	中村 厚信 東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内	
		(74)代理人	弁理士 高矢 敏 (外2名)	

(54)【発明の名称】 半導体集積回路のレイアウト設計方法

(57)【要約】
 【目的】 半導体集積回路内部でのクロック信号のスキューの低減を図りながら、レイアウト設計の能率を向上する。
 【構成】 クロック信号を入力する基本セル18の周縁から、クロックドライバとして用いるクロックドライバ用基本セル列16aの列敷を見積る。他の基本セル列16を用いて、クロック信号に関するもの以外の配線配線6を行った後、前記クロックドライバ用基本セル列18aを挿入配置し、クロックラインの配線設計を行う。クロックドライバ用基本セル列16a中の多数の基本セルを用いるので、又、該基本セル列を適所へと挿入配置するので、クロック信号のスキューが低減される。クロックドライバの配線設計を行うので、設計能率が向上される。



【特許請求の範囲】
 【請求項1】 論理回路を構成するための複数個の基本セルを配列した基本セル列が複数列敷けられ、各基本セル間を配線接続することで、所望の論理回路を作り込むようにした半導体集積回路のレイアウト設計方法において、
 クロックドライバからクロック信号を入力する負荷の大ききから、該クロックドライバとして用いるクロックドライバ用基本セル列とされる、前記基本セル列の列敷を見積り、
 前記クロックドライバ用基本セル列以外の、論理生成基本セル列とされる前記基本セル列を用いて、作り込む所望の論理回路のうち、前記クロックドライバ以外及びこの出力に接続される基本セルへのクロックライン以外の配線設計を行い、
 前記クロック信号を入力する基本セルの半導体集積回路上で分布を配線しながら、複数の前記論理生成基本セル列の列間に、前記クロックドライバ用基本セル列を挿入配置し、
 挿入配置された該クロックドライバ用基本セル列に対して、前記クロックラインの配線設計を行うことを特徴とする半導体集積回路のレイアウト設計方法。
 【発明の詳細な説明】
 【0001】
 【産業上の利用分野】 本発明は、論理回路を構成するための複数個の基本セルを配列した基本セル列が複数列敷けられ、各基本セル間を配線接続することで、所望の論理回路を作り込むようにした半導体集積回路のレイアウト設計方法に係り、特に、半導体集積回路の内部の各部で用いるクロック信号のスキューの低減を図りながら、より能率良く設計することができ半導体集積回路のレイアウト設計方法に関する。

【0002】
 【従来の技術】 半導体集積回路に作り込まれるもの等、論理回路は、非同相式順序回路と、同相式順序回路とに分類することがある。この非同相式順序回路は、出力を現在の入力のみでは定めず、その時点での入力や数回前の過去の履歴に依存して定めて共に、その入力やその順序回路の状態が変化した場合に、逐次その出力を変化するというものである。このような非同相式順序回路の設計時にいては、結合条件やハザードに関して注意が必要である。
 【0003】 一方、前述の同相式順序回路は、その出力の状態変化や、場合によってはその内部の状態変化、所定のクロック信号を用いて同期させている。このため、前述の非同相式順序回路の場合に比べて、同相式順序回路とした場合の方が、論理回路の設計は一般的に容易である。しかしながら、このような同相式順序回路において、クロック信号の分配時に、スキューが問題となるような場合がある。このような場合には、分配される

クロック信号の一部を遅延させて、スキュー調整が行われる。又、前記クロック信号は、このような同相式順序回路内部で多く用いられるものである。従って、論理回路内の各部と、前記クロック信号を出力し供給するために、クロックバッファ等の出力の駆動能力を大きくする必要がある。
 【0004】 図5は、従来の半導体集積回路チップの模式的なレイアウト図である。
 【0005】 この図5に示される従来の半導体集積回路チップ1aにおいては、そのチップ周辺には、多数の入力用基本セル24や図示されない多数の出力用基本セルが配置されている。又、それぞれの前記入力用基本セル24には、入力用バッファゲート22及び図示されない入力用バッファゲート22が作り込まれている。
 【0006】 又、前記半導体集積回路チップ1aの内部には、内部ゲート領域3が設けられている。主として、該内部ゲート領域3へと、組み込もうとする論理回路が作り込まれる。例えばこの図5においては、該内部ゲート領域3へと、合計7個のバッファゲート4.2による所定の論理回路、即ち、クロックツリーが作り込まれている。

【0007】 このようなクロックツリーによれば、例えば最終的にクロック信号を入力する基本セルまでの前記バッファゲート4.2の段数を揃えることで、前述のようなクロックスキューの問題を低減することができる。又、このようなクロックツリーでは、このように多数の前記バッファゲート4.2を用いることで、対象となる論理回路各部のクロック信号を入力する多数の基本セルに対して、安定してクロック信号を供給することができ、即ち、クロック信号を供給するための出力駆動能力の不足を避けることができる。
 【0008】 一方、特開昭62-150844では、ゲートアレイのようなマスタスライス方式の論理LSI (large scale Integrated Circuit) 等において、その内部の一般的な基本セルとは別に、これよりも大きな駆動能力を有する回路を構成可能な第2の基本セルを配置した特殊基本セル列を設けるとい技術が開示されている。この特開昭62-150844によれば、クロックバッファを構成する際、特殊基本セル内のMOS (metal oxide semiconductor) トランジスタを複数個並列に使うことで、チップサイズが必要以上に大きくなってしまったり、所望の動作速度が得られなくなってしまうという問題を解決することができる。
 【0009】
 【発明が解決しようとする課題】 しかしながら、前記図5に示されるもの等、前述のクロックツリーを用いるものでは、クロックツリーを設計する必要があるため、設計者の負担を増加させてしまうという問題がある。例えば、このようなクロックツリーを構成する多数のバッファゲートの半導体集積回路上の配置設計や、このよう

いる。従って、上から第11列目の前記クロックドライバ用基本セル列16aについても、前記半導体集積回路チップ1の下側で前記基本セル18の分布の略中心に挿入配置されている。

【0046】なお、このような前記クロックドライバ用基本セル列16の挿入配置において、前記クロック信号を入力する前記基本セル18の前記半導体集積回路チップ1上で分布を配すると共に、他の条件をもも配慮するようにしてもよい。本発明例においては、この点について、前記ステップ4中において更に配慮されている。例えば、前記基本セル18のうち、特に前記クロック信号の遅延が問題となるものについては、該基本セル18を含む前記基本セル列18へとより後述するよう18aを含む前記クロックドライバ用基本セル列16aを挿入配置するようになっている。

【0047】図4は、本実施例によるクロックライン設計後の半導体集積回路チップの平面図である。

【0048】この図4においては、前記ステップ5の終了後に相当するものが示されている。又、この図4においては、前記図3に示されるものに対して、合計2個のクロックラインの配線がなされている。これによって、多量のクロックラインの配線がなされる。符号12aが数の前記ボンディングパッド12のうち、符号12aが

付されたものは、当該半導体集積回路チップ1へと外部より前記クロック信号を入力するものとなっている。更
に、多数の前記出力用基本セル14のうち、符号12
aが付されたものは、前記ポンディングバッド12aか
ら入力される前記クロック信号に用いられている。又
、入力用基本セル14a中の入力バッファ14bが、
そのよう前記クロック信号の入力に用いられてい
る。

【0049】数入カバツファ14bの出力は、記録80を逐次読出し、前記クロックドライバ用基本セル列を経て、合計2個の前記クロックドライバ用基本セル列を有する全ての前記基本セルと入力される。即ち、これらクロックドライバ用基本セル16aが備える全ての基本セルはクロックパルスとして、これら全ての前記基本セルの入力へは、前記記録80を逐次読出し、前記クロックドライバ用基本セル列を経て、合計2個の前記クロックドライバ用基本セル列を有する全ての前記基本セルと入力される。即ち、これらクロックドライバ用基本セル16aが備える全ての基本セルはクロックパルスとして、これら全ての前記基本セルの入力へは、前記記録80を逐次読出し、前記クロックドライバ用基本セル列を経て、合計2個の前記クロックドライバ用基本セル列を有する全ての前記基本セルと入力される。

又、これら多数のクロックパツファからは、符

クロックラインの設計がより容易なものとなっている。
[0051]又、本実施例においては、前記クロックド
ライイン用基本セル16aとされたものも、あるいは、
前記調理生成基本セル17aとされたものも、いずれ
も同一の基本セルであり、不必要な設計作業の増加が
避けられている。即ち、前記特開第62-150844
のよな駆動能力を大きくされた特種基本セルの設計等
が不要となっている。

[0052]

【発明の効果】以上説明したとおり、本発明によれば、半導体集積回路の内部の各部で用いるクロック信号のスキューの低減を図りながら、より能率良く設計することのできる半導体集積回路のレイアウト設計方法を提供することができるという優れた効果を得ることができる。

【図面の簡単な説明】

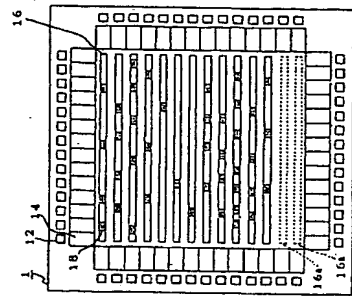
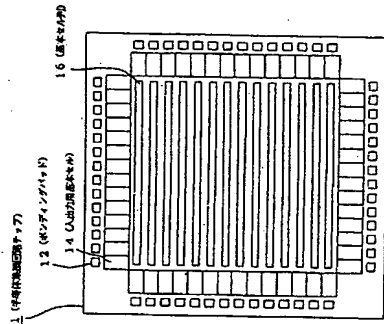
(図1) 本発明が適用された半導体集積回路のレイアウト設計方法の対象となる半導体集積回路チップ全体のレイアウト設計前の平面図

【図2】前記半導体集積回路チップのクロックドライバ

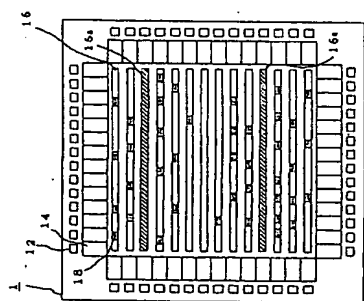
【図3】前記半導体集積回路チップのクロックドライバモジュールの平面図

【圖】

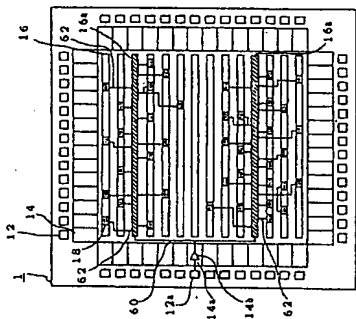
【圖2】



【図3】



【図4】



【図5】

